

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63272080 A**(43) Date of publication of application: **09.11.88**

(51) Int. Cl

**H01L 29/80**  
**// H01L 29/48**
(21) Application number: **62107201**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **30.04.87**(72) Inventor: **HARADA NAOKI**(54) **SEMICONDUCTOR DEVICE**

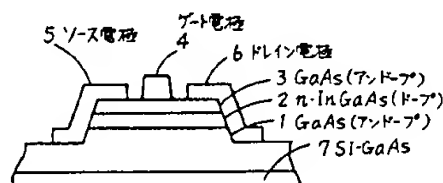
InGaAs layer 2.

(57) Abstract:

COPYRIGHT: (C)1988,JPO&amp;Japio

**PURPOSE:** To make a FET, which uses InGaAs with large electron mobility as a channel and is large in its speed and its transfer conductance, formable on a GaAs substrate, by forming a channel layer made of InGaAs on a semi-insulating GaAs substrate and next forming a Schottky gate electrode on the channel layer through a layer made of GaAs or the like.

**CONSTITUTION:** A channel layer 2, which is doped with one conductivity-type impurity and made of InGaAs, is formed on a semi-insulating GaAs substrate 7, and a Schottky gate electrode 4 is formed on the channel layer 2 through a layer 3 made of GaAs or AlGaAs, and next electrodes 5, 6 are formed to perform ohmic junction with said channel layer 2. For example, a molecular beam epitaxial or MOCVD method is used to make an undoped GaAs layer 1, an  $\text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.2$ ) layer 2 doped with Si as an impurity, and an undoped GaAs layer 3 grow serially on the semi-insulating GaAs substrate 7. Subsequently, the gate electrode 4 is formed on a surface of the GaAs layer 3, and source and drain electrodes 5, 6 are formed on said layer including the



⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-272080

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月9日

H 01 L 29/80

Q-8122-5F

H-8122-5F

D-7638-5F

審査請求 未請求 発明の数 1 (全4頁)

// H 01 L 29/48

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-107201

⑰ 出 願 昭62(1987)4月30日

⑱ 発 明 者 原 田 直 樹

神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社

神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

半絶縁性ガリウム砒素(GaAs)基板上に一導電型不純物をドーブしたインジウム・ガリウム・砒素(InGaAs)よりなるチャネル層が形成され、

該チャネル層上にガリウム砒素(GaAs)又はアルミニウム・ガリウム・砒素(AlGaAs)よりなる層を介してショットキーゲート電極が形成され、

前記チャネル層にオーミック接合する電極が形成されて成ることを特徴とする半導体装置。

3. 発明の詳細な説明  
(概要)

本発明では、現在最も良質で、大口径が得られる半絶縁性GaAs(SI-GaAs)基板を使用し、該基板上にエピタキシャル成長法によりまずGaAs層、ついで高濃度にドーブされたInGaAs層、再びGaAs層

の順序で3層構造を形成し、この量子井戸InGaAs層をチャネル層としGaAs表面にゲート用ショットキー電極、InGaAs層を含む上記3層にソース、ドレイン用オーミック電極を設けたInGaAsPBTの構造を提案する。

本PBTではInGaAsが、GaAsよりも高い電子移動度を持つという利点を生かし、また良好なショットキバリアを形成出来ないという欠点をGaAsに置き換えることにより補うことで、従来のGaAs PBTより大幅に改善された特性が得られた。

InGaAs層の両側にあるGaAs層の両方又は一方をAlGaAs層により置き換えることは特性の改善により有効である。

利用  
(産業上の技術分野)

本発明は、化合物半導体PBT特性の改善に関する。

化合物半導体PBTでは従来GaAs HBS PBT及びGaAs ICが主流を占めている。しかしこれら素子に対する高速化或いは高出力化、高機能化等の要

求は潜在的に強く在る。これに対して三元化合物半導体等新材料を用いたFETはこの期待に応えるものと目されている。

#### (従来の技術)

InGaAsはGaAsに比べて電子移動度が約2倍と大きく、また電子のピーク速度も高いため高速デバイスへの応用が期待されている。しかしIn<sub>x</sub>Ga<sub>1-x</sub>As(x=0.53)はショットキバリアの高さが0.3eVと低くこのままではMESFETが作成出来ない。そのために第3図に示す如く、表面に更に一層In<sub>x</sub>Al<sub>1-x</sub>As(x=0.52)層を設けて比較的高いショットキバリア(0.6eV)を得るようにしたものが提案されている。

本例においては半導体性インジウム燐(Si-InP)基板の上にエピタキシャル法により順次InAlAs層1、InGaAs層2、InAlAs層3を製作し、表面InAlAs層にAlゲート電極4、金ゲルマニウム/金(AuGe/Au)ソース5、ドレイン6電極を作成する。各層の諸元はつぎの通りである。

図番	物質名	濃度 (cm <sup>-3</sup> )	厚さ (Å)
1	In <sub>x</sub> Al <sub>1-x</sub> As(x=0.52)		1000
2	In <sub>x</sub> Ga <sub>1-x</sub> As(x=0.53)	1.2×10 <sup>17</sup> :Ge	1450
3	In <sub>x</sub> Al <sub>1-x</sub> As(x=0.52)		600

#### (発明が解決しようとする問題点)

基板にInPを使用する構造には下記のような欠点がある。

- i) 基板と格子整合をとるためにInGaAsはIn<sub>x</sub>Ga<sub>1-x</sub>As(x=0.53)、InAlAsはIn<sub>x</sub>Al<sub>1-x</sub>As(x=0.52)と厳密な組成制御が必要である。
- ii) 良質で大口径の半導体性InP結晶は現在容易に得られない。
- iii) 半導体性InP基板にドーパされている鉄(Fe)の拡散係数が大きいために、エピタキシャル成長工程においてこれがInGaAsチャネル層へ拡散する問題がある。

#### (問題点を解決するための手段)

前記問題点は半導体性ガリウム砒素(GaAs)基板の上に導電型不純物をドーパしたインジウム・ガリウム・砒素(InGaAs)よりなるチャネル層が形成され。

該チャネル層上にガリウム砒素(GaAs)又はアルミニウム・ガリウム・砒素(AlGaAs)よりなる層を介してショットキゲート電極が形成され。

前記チャネル層にオーミック接合する電極が形成されて成ることを特徴とする半導体装置によつて一挙に解決される。

#### (作用)

本発明においては基板として良質で大口径のGaAsを使用する。本発明者はチャネル層となるIn<sub>x</sub>Ga<sub>1-x</sub>As層の組成及び厚さは、例えばx=0.2、厚さ=150Åのように、基板の格子定数との差にもとづく欠陥が発生しない程度の範囲で任意に選び得ることを実験的に確かめGaAs基板上への該チャネル層の成長を可能にした。

尚、該層のx値としては0.15と0.25の間、厚さとしては80Åと200Åの間程度が望ましい。

ゲート電極はInGaAs層直接にではなくその上のGaAs層に構成されるからショットキバリアも高く(0.8eV)、又チャネル層を高ドーパして高電子濃度にしてもリーク電流を小さく抑えることができる。

GaAsの代わりにAlGaAsを用いることも可能で、その場合ショットキバリアはGaAsよりも大きくなる。

GaAs又はAlGaAs層にも不純物をドーパすることは、界面近傍のInGaAs側に2次元電子ガスを供給することができて、チャネル層の電子濃度をさらに高くすることができる結果チャネルコンダクタンスの増大に有効な方法である。

#### (実施例)

第1図は本発明によるFETの断面模式図である。半導体性GaAs基板7の上に分子ビームエピタキシャル法又はMOCVD法により、まずアンドーパGaAs層

1. 次いで不純物としてシリコン(Si)をドーブした  $\text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.2$ ) 層2. アンダーブGaAs層3を順次成長させる。GaAs層3表面にゲート電極4とInGaAs層を含む上記層にソース、ドレイン電極5, 6を作成する。これら製作には通常のGaAsMBSFET製作工程が使用できる。各層の諸元はつぎの通りである。

図番	物質名	濃度 ( $\text{cm}^{-3}$ )	厚さ (Å)
1	GaAs	ノンドープ	1000Å
2	$\text{In}_x\text{Ga}_{1-x}\text{As}$ ( $x=0.2$ )	$2 \times 10^{18}$ : Si	150
3	GaAs	ノンドープ	400

4 はAlゲート電極で厚さ4000Å。5, 6 はそれぞれソース、ドレイン電極でAuGe(200Å)/Au(3000Å)で構成される。

第2図はInGaAs層の両側のGaAs層にも不純物を

ドーブした場合の例を示す。各層の諸元はつぎの通りである。

図番	物質名	濃度 ( $\text{cm}^{-3}$ )	厚さ (Å)
1'	GaAs	アンダーブ	10000
1	GaAs	$1 \times 10^{18}$ : Si	100
2	$\text{In}_x\text{Ga}_{1-x}\text{As}$ ( $x=0.2$ )	$2 \times 10^{18}$ : Si	150
3	GaAs	$1 \times 10^{18}$ : Si	400

4 ~ 7 は第1図における場合と同様である。

実施例においては、図番1, 3の層にGaAsを用いたが、これの代わりにAlGaAsを用いるとショットキバリアの高さがより大きくなり、特性の改善は一層の効果がある。

#### (発明の効果)

本発明によれば、チャネルとしてGaAsより電子移動度が1.5倍大きいInGaAsを用いた高速で且つ

伝達コンダクタンスの大きなFETがGaAs基板上に製作できた。

#### 4. 図面の簡単な説明

第1図は本発明によるGaAs層で挟まれたInGaAs層をチャネル層とするInGaAs FETの断面構造を示す模式図。

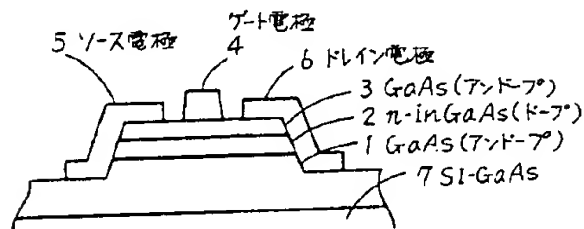
第2図は第1図のGaAs層にドーブされた場合の図。

第3図は従来のInGaAs FETの断面構造を示す模式図。

である。

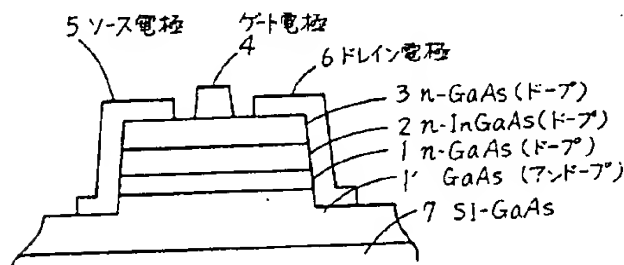
図において、

- 1, 3はGaAsエピタキシャル層。
- 2は $\text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x=0.2$ ) エピタキシャル層。
- 4はAlゲート電極。
- 5, 6はそれぞれソース、ドレイン電極。
- 7は半絶縁性GaAs基板。
- 1'はGaAsエピタキシャルバッファ層を示す。



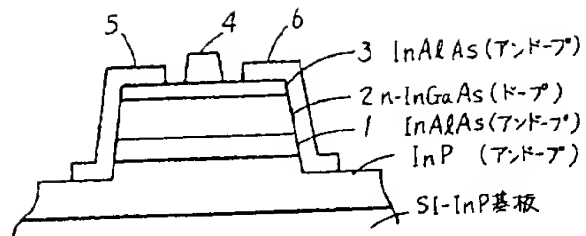
実施例によるInGaAs FETの断面模式図

第1図



他の実施例によるInGaAs FETの断面模式図

第2図



従来のInGaAsFET  
第3図